

PCI バス・ターゲット・インターフェース・メガファンクション

Solution Brief 25

May 1997, ver. 1

ターゲット・アプリケーション : 機能
バスおよびインターフェース

ファミリ :
FLEX 10K および FLEX 8000

ベンダ :



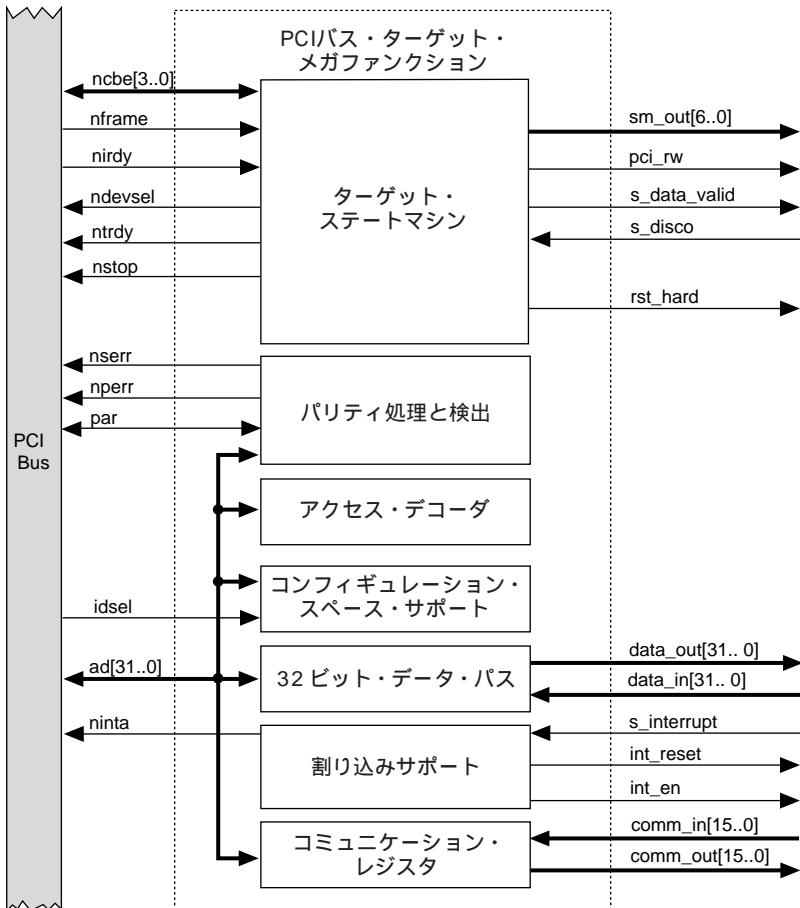
PLD Applications
14 rue Soleillet
Paris 75020
France
Tel. (33) 01-40-33-79-98
Fax. (33) 01-43-58-14-15
plda@worldnet.fr
<http://www.plda.com>

アルテラの FLEX® 10K および FLEX 8000 のデバイス・アーキテクチャに最適化。
PCI-SIG (Peripheral Component Interconnect Special Interest Group) の PCI ポート・カルバス仕様書 Rev.2.1 に完全準拠。
完全同期設計。
ハードウェアによる動作確認済み。
132 M バイト/秒までのフル・スピード・バースト・モードをサポート。
ゼロ・ウェイト・ステートのデータ転送レートをサポート。

概要

この PCI バス・ターゲット・インターフェースのメガファンクションは、32 ビット幅の PCI バス・インターフェースであり、高速のデータ処理や ISA ベースのデザインから PCI バス・デザインへの移行などのように、高速のデータ転送やリアルタイム処理が必要なアプリケーションに使用できます。図 1 は、このメガファンクションのブロック図です。

図 1 PCI バス・ターゲット・インターフェース・メガファンクションのブロック図



機能説明

このPCIバス・ターゲット・インターフェースのメガファンクションは、PCIバスとバックエンド・アプリケーション間のシンプルで柔軟性の高いインターフェース機能を提供します。このメガファンクションは高い性能を提供すると共に、完全なパリティ処理とリポート機能により正確なデータ転送を実現しています。PCIバスの処理では、ディスクネットやリトライ・イベントのフル・サポートが実現されています。なお、このメガファンクションは1本のみの割り込み処理を行います。

性能

PCIバス・ターゲット・インターフェース・メガファンクションは33MHzで動作します。表1はメガファンクションの標準的なデバイス使用効率を示したものです。

表1 PCIバス・ターゲット・インターフェース・メガファンクションの標準的なデバイス使用効率					
実現された機能	ターゲット・デバイス	クロック (f_{MAX})	EAB	ロジック・セル	ロジック・セル使用率 (%)
32ビットPCIバス・ターゲット	EPF10K10-3	33MHz	0/3	340/576	60%
	EPF10K20-3	33MHz	0/6	340/1152	30%
	EPF10K30-3	33MHz	0/6	340/1728	20%
	EPF10K40-3	33MHz	0/8	340/2304	15%
	EPF10K10-3	33MHz	3/3	340/576	80%
内部SRAMを含む32ビットPCIバス・ターゲット	EPF10K20-3	33MHz	4/6	450/1152	40%
	EPF10K30-3	33MHz	4/6	450/1728	25%
	EPF10K40-3	33MHz	4/8	450/2304	20%

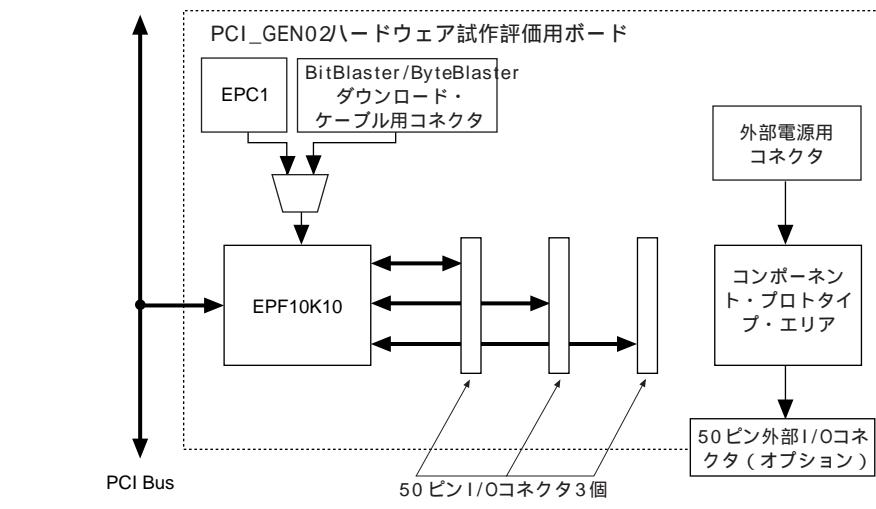
カスタマイズ

PCIバス・ターゲット・インターフェースのメガファンクションはパラメータ化されているため、ユーザ側でメモリ・スペースの位置、サイズ(16バイトから64Mバイト)、使用デバイス、ベンダ、クラス・コード、リビジョンIDレジスタなどをカスタマイズすることができます。

ハードウェアのテスト

PCIバス・ターゲット・インターフェースのメガファンクションは、PCI_GEN02 PCIバス評価用ボード(PLD Applications社から入手可能)を使って開発、評価されています。PCI_GEN02には、このメガファンクションが実現されるEPF10K10デバイスが搭載されています。このメガファンクションはEPF10K10デバイスのリソースの60%で構成できるため、残りのロジックやEABのリソースを利用してユーザ仕様のロジックを実現することができます。図2はPCI_GEN02 PCIバス評価ボードのブロック図を示したものです。

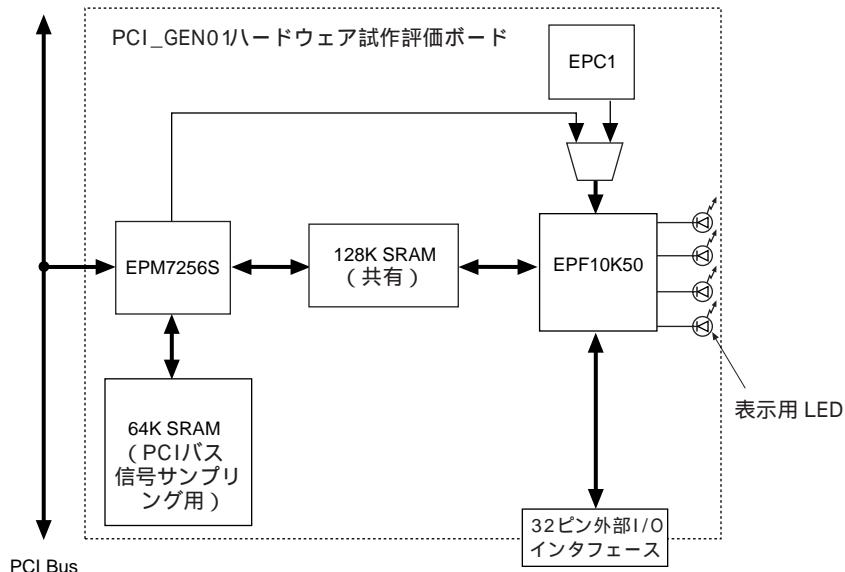
図2 PCIバス評価ボード、PCI_GEN02のブロック図



EPF10K10デバイスのコンフィギュレーションには、EPC1™コンフィギュレーションEPROM、BitBlaster™ダウンロード・ケーブルまたは、ByteBlaster™ダウンロード・ケーブルが使用できます。ユーザはこれらの中から、最も適切なコンフィギュレーション方法を選択することができます。また、PCI_GEN02には追加カードの接続用に3個の50ピン・コネクタが用意されており、ソルダ・マスクされた50ピンの外付け用コネクタの実装位置も確保されています。

PCIバス・ターゲットのアプリケーションも、PCI_GEN01 PCIバス評価ボードを使用して開発、評価することができます。PCI_GEN01は、PCIバスのカスタム・ハードウェアの実現にも使用されます。このPCI_GEN01は、PCIターゲット・インターフェースが実現されたEPM7256Sとユーザ仕様ロジックとして使われるEPF10K50デバイスが搭載されています。EPF10K50デバイスのコンフィギュレーションは、EPC1コンフィギュレーションEPROMまたは、PCIターゲット・インターフェースを通して行われます。図3はPCI_GEN01 PCIバス評価ボードのブロック図を示したものです。

図3 PCI_GEN01 PCIバス評価ボードのブロック図



EPF10K50 デバイスは、PCI バス上のハードウェアの実現や評価用に大規模なロジック・リソースを提供しています。EPM7256S デバイスと EPF10K50 は 128K バイトの SRAM スペースを共有しています。また、EPM7256S デバイスは PCI バス制御信号の取り込みと PCI バスのシグナル・アナライザを実現するために用意されている別個の 64K バイトの SRAM バッファをコントロールします。EPF10K50 デバイスは 4 個の状態表示用 LED をドライブしており、32 ピンの外部 I/O インタフェースとも接続できます。

参考文献

PCI Special Interest Group. *PCI ローカル・バス仕様書* Rev.2.1 Hillsboro, Oregon:PCI Special Interest Group, 1995

日本アルテラ株式会社

〒163-04 東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL.03-3340-9480 FAX.03-3340-9487

Copyright© 1997 Altera Corporation. Altera HDL, AMP, BitBlast, ByteBlast, EPC1, FLEX, FLEX 10K, FLEX 8000, EPF10K50, EPF10K30, EPM7256, EPM7256S は Altera Corporation の米国および該当各国における trademark または service mark です。他のブランド、製品名は該当各社の trademark です。この資料は Altera Corporation が発行した英文資料を日本語化したもので、アルテラが保証する内容は英文オリジナルのものです。ここに記載された内容は予告なく変更される場合があります。Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. All rights reserved.